

(19) 

(11) Publication number: 61160129 A

Generated Document

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 60001301

(51) Int. Cl.: G06F 1/04 G11C 7/00 G11C 11/34

(22) Application date: 08.01.85

(30) Priority:

(43) Date of application  
publication: 19.07.86(84) Designated  
contracting states:

(71) Applicant: NEC CORP

(72) Inventor: KATO AKIRA

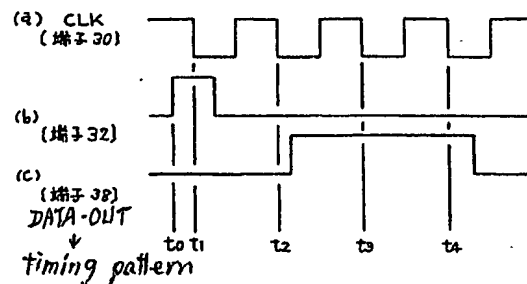
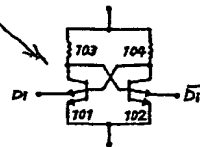
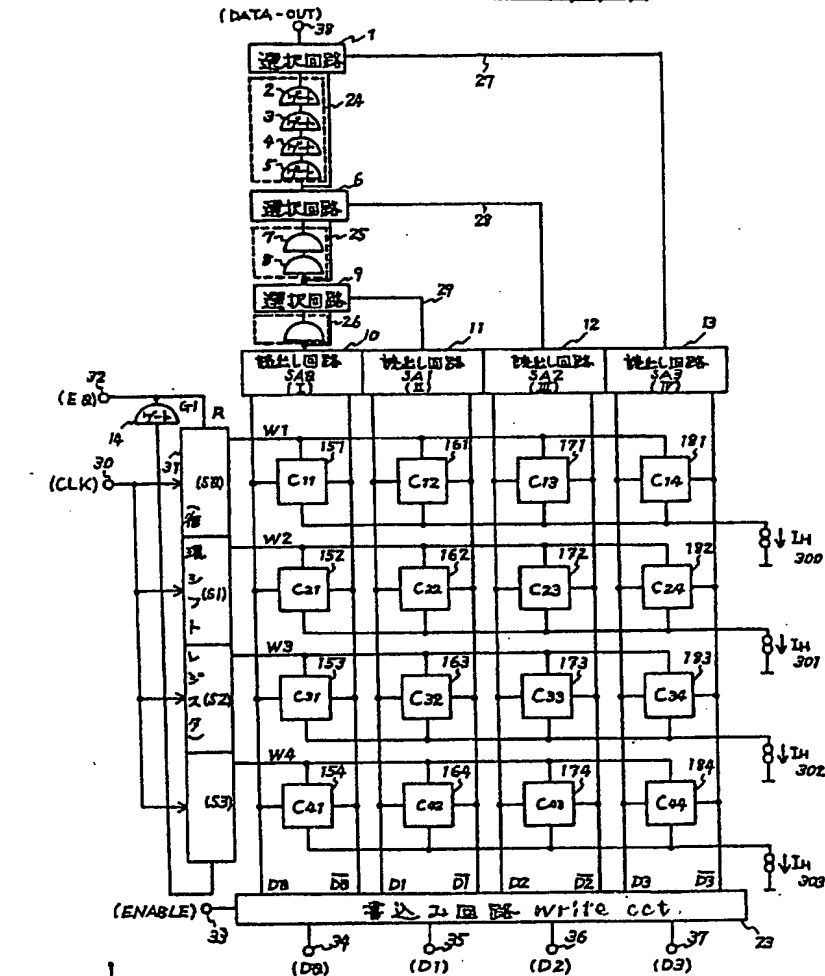
(74) Representative:

(54) TIMING GENERATING  
CIRCUIT

(57) Abstract:

**PURPOSE:** To make a timing generating circuit suitable for high integration and temporally setting up a timing output by providing the circuit with plural gate groups for cascade connection and selecting any one input from the plural gate groups or an output on the basis of a program.

**CONSTITUTION:** One bit in a circulating shift register 31 is turned to '1' by using a starting signal and a clock signal CLK. At that time, only a memory cell string connected to a corresponding word line is selected and other word lines are kept at non-selected state. A timing pattern signal and selecting information are inputted to writing data terminals 34-37 and a signal specifying writing operation (actually a binary signal '0' or '1') is inputted to a reading/writing operation control terminal 33. On the other hand, the reading operation is executed by detecting the potential values of respective bit lines of a selected F/F type memory cell array by reading circuits 10-13 and reading out respective information in the F/F type memory cell array by circuits 10-13 and respective information in the F/F type memory cell array is read out. At that time, the terminal 33 is reading operation.



COPYRIGHT: (C)  
1986, JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-160129

⑬ Int.Cl.<sup>4</sup>

G 06 F 1/04  
G 11 C 7/00  
11/34

識別記号

庁内整理番号

D-7157-5B  
6549-5B  
7230-5B

⑭ 公開 昭和61年(1986)7月19日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 タイミング発生回路

⑯ 特 願 昭60-1301

⑰ 出 願 昭60(1985)1月8日

⑱ 発 明 者 加 藤 晃 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁理士 井ノ口 壽

明 細 書

1. 発明の名称

タイミング発生回路

2. 特許請求の範囲

複数の縦続接続したゲート群と、前記複数の縦続接続したゲート群の入力と出力とのうちのいずれかを選択するため、前記複数の縦続接続したゲート群に対応して列方向に設けた複数の選択回路と、起動信号を入力してクロックにより応答しながらシフトし、各ビットごとに出力を送出するための行方向に設けた循環シフトレジスタと、前記循環シフトレジスタにより選択されていて、前記複数の選択回路を制御するための選択信号およびタイミングパターンを記憶するため行列マトリクス状に配置された複数のメモリセルと、前記選択信号および前記タイミングパターンを前記複数のメモリセルに書き込むための書き込み回路と、前記選択信号および前記タイミングパターンを前記複数のメモリセルより読出すため前記複数の選択回路に対応して設けた複数の読出し回路とを具備して

構成したことを特徴とするタイミング発生回路。

8. 発明の詳細な説明

(産業上の利用分野)

本発明は、多相タイミング信号が必要な情報処理装置に使用されるプログラム可能なタイミング発生回路に関する。

(従来の技術)

一般に情報処理装置においては複数のタイミング回路が必要であり、従来、この種のタイミング発生回路は複数の縦続接続されたゲート群により構成されていた。このような従来技術による構成では、上記ゲート群の入力端子と出力端子とのうちのいずれかを他のゲート群の入力端子に印刷配線の導線により接続して縦続接続がなされていた。

(発明が解決しようとする問題点)

斯かる従来技術によるプログラム可能なタイミング発生回路では、ゲート段数を変化させて第1段目の入力端子から入力されるタイミング信号の入力に対して種々の遅延時間を有するタイミング出力信号を得ているため、タイミング出力信号の

設定変更が困難であると共に汎用性に欠け、外部端子数が多くなるという欠点があつた。

本発明の目的は、複数の縦続接続用の複数のゲート群を備えて上記縦続接続用の複数のゲート群の一つの入力か、あるいは出力とのうちのいずれかをプログラムにより選択することにより上記欠点を除去し、高集積化に適し、タイミング出力を仮設定できるように構成したプログラム可能なタイミング発生回路を提供することにある。

(問題点を解決するための手段)

本発明によるタイミング発生回路は、複数の縦続接続したゲート群と、複数の選択回路と、循環シフトレジスタと、複数のメモリセルと、書き込み回路と、複数の読出し回路とを具備して構成したものである。

複数の選択回路は、複数の縦続接続したゲート群の入力と出力とのうちのいずれかを選択するため、複数の縦続接続したゲート群に対応して列方向に設けられたものである。

循環シフトレジスタは行方向に設けられ、起動

信号を入力してクロックにより応答しながらシフトし、各ビットごとに出力を送出するためのものである。

複数のメモリセルは循環シフトレジスタにより選択されていて、複数の選択回路を制御するための選択信号およびタイミングパターンを記憶するため行列マトリクス状に配置されたものである。

書き込み回路は、選択信号およびタイミングパターンを複数のメモリセルに書き込むためのものである。

複数の読出し回路は選択信号、およびタイミングパターンを複数のメモリセルより読出すため、複数の選択回路に対応して設けられたものである。

(実施例)

次に、本発明について図面を参照して詳細に説明する。

第1図は、本発明によるタイミング発生回路の一実施例を示すブロック図であり、第2図は第1図に示すフリップフロップ(F/F)形メモリセルの回路図であり、第8図は本発明の第1図に示

す実施例の動作を説明するため、その入出力端子の波形を示す波形図である。

第1図において、遅延ゲート群24~28および上記遅延ゲート群24~28ごとに入力か、あるいは出力かをそれぞれ信号線27~29上の選択信号により出力するための選択回路1, 6, 9から成る多段回路と、選択信号およびタイミングパターン信号を書き込むためのフリップフロップ(F/F)形メモリセル151~154, 161~164, 171~174, 181~184と、F/F形メモリセル151~154, 161~164, 171~174, 181~184より選択信号およびタイミングパターン信号を読出すための読出し回路10~13と、選択信号およびタイミングパターン信号をF/F形メモリセル151~154, 161~164, 171~174, 181~184に書き込むための書き込み回路25と、F/F形メモリセル151~154, 161~164, 171~174, 181~184をメモリセル列として行うごとに選択する

ためのゲート14を含む循環シフトレジスタ31とにより構成されている。ここで、遅延ゲート群24は遅延ゲート2~5から成り、遅延ゲート群25は遅延ゲート7, 8から成り、遅延ゲート26は一つの遅延ゲート26から成る。300~303はそれぞれ電流源である。

F/F形メモリセル151~154, 161~164, 171~174, 181~184はすべて同一の構成を有し、第2図に示すF/F形メモリセルはクロスカップルされたマルチエミッタトランジスタ101, 102、および抵抗器103, 104によりフリップフロップを形成している。トランジスタ101, 102の一つのエミッタはそれぞれビット線D1,  $\overline{D1}$  (i=0, 1, 2, 3)を通して読出し回路10~13、および書き込み回路25に接続されている。他方のエミッタはメモリセルの内容を保持するための電流源300~303に接続されている。各F/F形メモリセルはワード線Wj (j=1, 2, 3, 4)が高レベルの時に選択され、読出し動作、あるいは書き

み動作が行われる。つまり、これらのF/F形メモリセル151~154, 161~164, 171~174, 181~184は2値情報を記憶する一種の読出し/書き込みメモリとして動作する。

次に第3図を参照してクロック信号CLKを第8図(a)に示すように、端子30に与え、ゲート14の端子32に第8図(b)に示すような起動信号を与えて第8図(c)に示すようなタイミングパターン信号を得る動作について説明する。

また、F/F形メモリセル151~154, 161~164, 171~174, 181~184へ選択信号情報およびタイミングパターン信号を書込み回路23により書き込んでおく。つまり、起動信号およびクロック信号CLKを用いて循環シフトレジスタ31のなかの1ビットを「1」にする。このとき、該当するワード線に接続されたメモリセル列のみが選択され、他のワード線は非選択状態に保たれている。書き込みデータ端子34~37(D0~D3)にタイミングパターン

信号および選択信号情報を入力し、読出し/書き込み動作制御端子38(ENABLE)を書込み動作(実際には「0」および「1」の2値)を指定することにより行われる。すなわち、書き込みデータ端子34~37に与えられた情報にもとづき、書き込み回路23によりそれぞれビット線の電位を高レベル、あるいは低レベルにすることにより、F/F形メモリセル151~154, 161~164, 171~174, 181~184のフリップフロップをセットする。

以上のように循環シフトレジスタ31の出力をシフトすれば、それぞれのF/F形メモリセル151~154, 161~164, 171~174, 181~184の列が選択されて書き込みが行われる。

一方、読出し動作は選択されたF/F形メモリセル列のそれぞれのビット線の電位を読出し回路10~13により検出し、F/F形メモリセル列のそれぞれの情報を読出す。このとき、端子33は読出し動作になつている。

ここでは、上記のようにしてF/F形メモリセル152, 153, 162, 164, 174に「1」が書き込まれ、他のF/F形メモリセル151, 154, 161, 163, 171~173, 181~184には「0」が書き込まれたものとする。端子33上の状態が読出し動作にセットされ、タイミング $t_1$ では入力された起動信号が低レベルから高レベルに変化し、タイミング $t_2$ で循環シフトレジスタ31の第1ビットS0に対してクロック信号により「1」がセットされる。これによりワード線W2, W3, W4が高レベル、ワード線W1が選択されて低レベルとなる。つまり、F/F形メモリセル151~154が選択されて情報が読出される。このとき、各F/F形メモリセルには「0」が書き込まれているため、最終的には出力端子38の状態は「0」となる。ここでは、選択信号が「1」であつて各ゲート群の出力が「0」の時に出力が得られるものとしている。

次に、タイミング $t_3$ ではクロック信号により循環シフトレジスタ31のS1ビットに「1」が

セットされ、ワード線W2が選択されてF/F形メモリセル152, 162, 172, 182の情報が読出される。このとき、F/F形メモリセル152には「1」が書き込まれているため、最終的には出力端子38の状態は「1」となる。しかし、同時に読出されたF/F形メモリセル162, 172, 182の情報はそれぞれ「1」、「0」、「0」となり、この情報が選択回路9, 6, 1の選択信号となつているため、F/F形メモリセル152の情報は遅延ゲート26を通過して出力端子38より出力される。

次に、タイミング $t_4$ では循環シフトレジスタ31のS2ビットに「1」がセットされ、ワード線W3が選択されている。この場合には、F/F形メモリセル153, 163, 173, 183の情報が読出される。しかし、F/F形メモリセル153には「1」が書き込まれているため、出力端子38には変化がなく、F/F形メモリセル163, 173, 183の内容には関係しない。

次に、タイミング $t_5$ では循環シフトレジスタ

31のS8ビットに'1'がセットされ、ワード線W4が選択されている。この場合にはF/F形メモリセル154, 164, 174, 184の情報が読出される。このとき、F/F形メモリセル154には'0'が書き込まれているため、最終的には出力端子38上の状態は'0'となる。しかし、同時に読出されたF/F形メモリセル164, 174, 184の情報はそれぞれ'1', '1', '0'であり、この情報は選択回路8, 8, 1の選択回路の選択信号となつているため、F/F形メモリセル154の情報はゲート群28ならびにゲート群25を通過して出力端子38より出力される。すなわち、8段の遅延ゲート7, 8, 28により遅延したタイミング出力が得られることになる。ゲート14により循環シフトレジスタ31のS0ビットとS8ビットとが接続されているため、タイミング $t_1$ ではタイミング $t_0$ と同じ状態になり、繰返し動作が行われる。

以上のようにしてF/F形メモリセル151~154ではタイミングパターン情報を記憶すると

共にF/F形メモリセル161~164, 171~174, 181~184では時間遅延情報を記憶して任意のタイミング信号を得ている。上記において、タイミングパターン情報のためのF/F形メモリセルを増すことにより、さらに複雑なタイミング信号を得ることができることは容易に類推することができる。

#### (発明の効果)

以上のように本発明では、クロック信号に同期した任意のタイミングパターン信号および起動信号の立上りタイミングと立下りタイミングとを独立にプログラムによつて設定できるため、回路に汎用性をもたせることができると共に、外部端子数を削減できるため、高集積化に適しているプログラムすることが可能であるという効果がある。

なお、本発明の実施例では循環シフトレジスタを用いてサイクリック動作を行わせていたが、カウンタを用いてもよい。また、記憶セルとしてフリップフロップ形(F/F形)のメモリセルを用いたが、PROMのようなメモリセルによる応用

も考えられることはいうまでもない。

#### 4. 図面の簡単な説明

第1図は、本発明によるタイミング発生回路の一実施例を示すブロック図である。

第2図は、第1図に示すF/F形メモリセルの詳細を示す回路図である。

第3図は、第1図に示すタイミング発生回路の動作を説明する波形図である。

- 1, 6, 9・・・選択回路
- 2~5, 7, 8, 14, 26・・・ゲート
- 10~13・・・読出し回路
- 151~154, 161~164, 171~174, 181~184・・・F/F形メモリセル
- 23・・・書き込み回路
- 31・・・循環シフトレジスタ
- 101, 102・・・トランジスタ
- 103, 104・・・抵抗器
- 300~303・・・電流源
- 30, 32~38・・・端子
- 27~29・・・信号線

図2

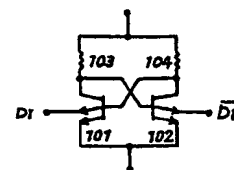
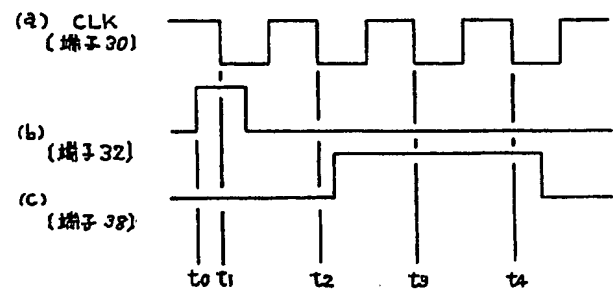
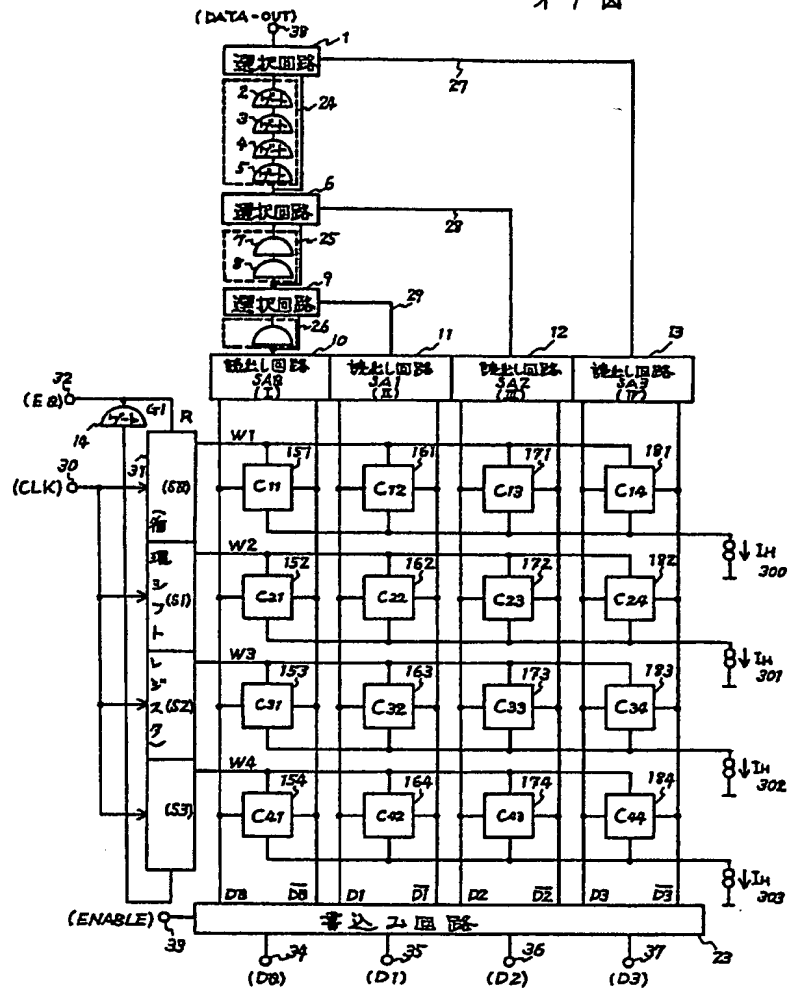


図3



才 1 図



(19) 

(11) Publication number: 61160129 A

Generated Document

## PATENT ABSTRACTS OF JAPAN

Ref. 4

(21) Application number: 60001301

(51) Intl. Cl.: G06F 1/04 G11C 7/00 G11C 11/34

(22) Application date: 08.01.85

(30) Priority:

(43) Date of application  
publication: 19.07.86(84) Designated  
contracting states:

(71) Applicant: NEC CORP

(72) Inventor: KATO AKIRA

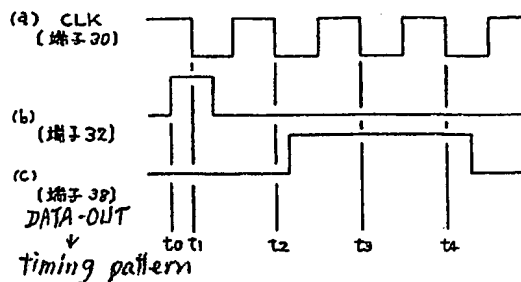
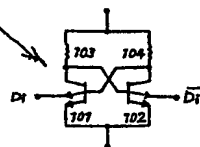
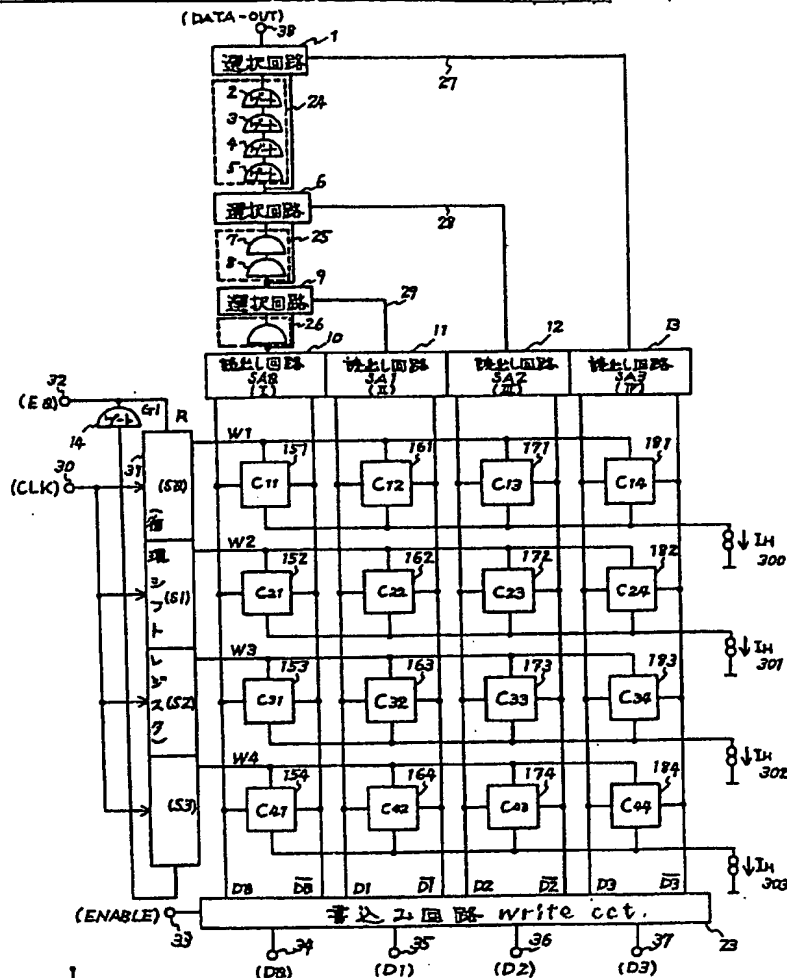
(74) Representative:

(54) TIMING GENERATING  
CIRCUIT

(57) Abstract:

**PURPOSE:** To make a timing generating circuit suitable for high integration and temporally setting up a timing output by providing the circuit with plural gate groups for cascade connection and selecting any one input from the plural gate groups or an output on the basis of a program.

**CONSTITUTION:** One bit in a circulating shift register 31 is turned to '1' by using a starting signal and a clock signal CLK. At that time, only a memory cell string connected to a corresponding word line is selected and other word lines are kept at non-selected state. A timing pattern signal and selecting information are inputted to writing data terminals 34-37 and a signal specifying writing operation (actually a binary signal '0' or '1') is inputted to a reading/writing operation control terminal 33. On the other hand, the reading operation is executed by detecting the potential values of respective bit lines of a selected F/F type memory cell array by reading circuits 10-13 and reading out respective information in the F/F type memory cell array by circuits 10-13 and respective information in the F/F type memory cell array is read out. At that time, the terminal 33 is reading operation.



COPYRIGHT: (C)  
1986, JPO & Japio